

Flash*Freezeモードとローパワーモード

アクテルジャパン株式会社
応用技術部
November 2009

IGLOO/e, IGLOO nano, IGLOO PLUS, ProASIC3L ロー・パワー・モードの概要(1)

■ スタティック (アイドル) モード

- 外部からのクロック入力が停止すると、スタティック・パワーだけが消費される
- クロック源として内蔵PLLを使用している場合、PLLのPOWERDOWNピン (アクティブLow) をアサートするとPLLをターン・オフするので、このモードに入る

■ Flash*Freezeモード

- 電源、入力、クロックをオフにすることなく、レジスタやSRAMの内容を保持しつつ、電力消費を削減する超低スタティック・パワーのモード
- モードの切り替えは、専用のFlash*Freezeピンを使用(タイプ1)もしくは、内部Flash*Freezeピンと内部ロジックとの組み合わせ(タイプ2) で制御

IGLOO/e, IGLOO nano, IGLOO PLUS, ProASIC3L ロー・パワー・モードの概要(2)

■ スリープ・モード

- コア電源 (Vcc)、JTAG DC電源(Vjtag)、プログラミング電源(Vpump) をオフ (グランド) にし、IO電源(Vcci=VMV)をオンにすることで、FPGAコアがターン・オフされ、電力消費を削減する
- デバイスがスリープ・モードにあるとき、残りのシステムは動作しており、それがIGLOO/eデバイスの入力をドライブしても、それによってデバイス内部の電源プレーンを引き上げることはなく、I/Oリーク電流も最小レベルに保たれる

■ シャットダウン・モード

- すべてのIGLOO nano, IGLOO PLUS
- IGLOO/eでは、AGL015, AGL030, AGLE600, AGLE3000
- A3PLでは、A3PE3000Lのみ
- すべての電源をオフにする
- その場合でもシステム全体の電源をオフにすることなく、このデバイスの電源だけをオフにして、コールド・スペアリングおよび活線挿抜をおこなうことができる

パワー・モード

モード	Vcci	Vcc	コア	クロック	レジスタ	I/O	ULSICC*1 マクロ	モードへの入り方	動作再開の方法	トリガー	
アクティブ	On	On	On	On	アクティブ	アクティブ	N/A	クロック開始	なし	-	
スタティック	アイドル	On	On	On	Off	状態保持	状態保持	N/A	クロック停止	クロック開始	外部
	Flash* Freeze タイプ1	On	On	On	On*	状態保持	トライ ステート	N/A	FFピンをアサート	FFピンを デアサート	外部
	Flash* Freeze タイプ2	On	On	On	On*	状態保持	トライ ステート	F*Fモードに 入るために使用	FFピンとLSICC*2入 力をアサート	FFピンを デアサート	外部
スリープ	On	Off	Off	Off	不定	トライ ステート	N/A	Vccシャットダウン	Vccを供給	外部	
シャットダウン	Off	Off	Off	Off	不定	トライ ステート	N/A	VccとVcciをシャッ トダウン	VccとVcciを 供給	外部	

注: デバイスがFlash*Freezeモードにある間、外部クロックはトグルし続けて構わない。エンベデッドPLLで生成されるクロックは自動的にターン・オフされる

*1 ULSICC: User Low Static ICC

*2 LSICC: ULSICCマクロへの入力信号(Flash*Freeze タイプ2のみで使用)

IGLOO/eのパワー数値

Actel IGLOO	AGL015	AGL030	AGL060	AGL125	AGL250	AGL400	AGL600	AGL1000	AGLE600	AGLE3000
ARM-enabled					M1AGL250	M1AGL400	M1AGL600	M1AGL1000		M1AGLE3000
System Gates	15 K	30 K	60 K	125 K	250 K	400 K	600 K	1 M	600 K	3 M
VersaTiles (D-FF)	384	768	1536	3072	6144	9216	13824	24576	13824	75265
Ram K Bits 4608 bit Blocks	-	-	18	36	36	54	108	144	108	504
	-	-	4	8	8	18	24	32	24	112
PLLs	-	-	1	1	1	1	1	1	6	6
FlashROM Bits	1 K	1 K	1 K	1 K	1 K	1 K	1 K	1 K	1 K	1 K
Secure (AES) ISP	-	-	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
I/O type	Std,HS	Std,HS	Std+	Std+	Std+/LVDS	Std+/LVDS	Std+/LVDS	Std+/LVDS	Pro	Pro
I/O Banks (+JTAG)	2	2	2	2	4	4	4	4	8	8
Flash*Freeze mode 1.2 V Typ (µW)	5	5	10	16	24	32	36	53	34	104
Static Idle mode (µW)	12	12	16	20	30	38	42	59	31	107
Sleep mode (µW), Vcci=1.5V	4	4	4	4	9	9	9	9	17	17

IGLOO PLUSのパワー数値

Actel IGLOO PLUS	AGLP030	AGLP060	AGLP125
System Gates	30 K	60 K	125 K
Versa Tiles (D-FF)	792	1584	3120
Ram K Bits	-	18	36
4608 bit Blocks	-	4	8
PLLs	-	1	1
FlashROM Bits	1 k	1 k	1 k
Secure (AES) ISP	-	Yes	Yes
I/O Type	Std+, F*F hold, Schmitt	Std+, F*F hold, Schmitt	Std+, F*F hold, Schmitt
I/O Banks (+JTAG)	4	4	4
Flash*Freeze mode 1.2 V Typ (μ W)	5	10	16
Static Idle mode(μ W)	15	20	24
Sleep mode (μ W), Vcci=1.5V	11	11	11

IGLOO nanoのパワー数値

Actel IGLOO nano	AGLN 010	AGLN 015	AGLN 020	AGLN 060	AGLN 125	AGLN 250
System Gates	10 K	15 K	20 K	60 K	125 K	250 K
VersaTiles (D-FF)	260	384	520	1536	3072	6144
RAM K Bits 4608 bit Blocks	-	-	-	18	36	36
	-	-	-	4	8	8
PLLs	-	-	-	1	1	1
FlashROM Bits	1 K	1 K	1 K	1 K	1 K	1 K
Secure (AES) ISP	-	-	-	Yes	Yes	Yes
I/O Type	Std	Std	Std	Std	Std	Std
I/O Banks (+JTAG)	2	3	3	2	2	4
Flash*Freeze mode 1.2 V Typ (μ W)	2	4	4	10	13	19
Static Idle mode (μ W)	4	6	6	12	16	22
Sleep mode (μ W), V _{cci} =1.5V	5.4	8.1	8.1	5.4	5.4	10.8

ProASIC3Lのパワー数値

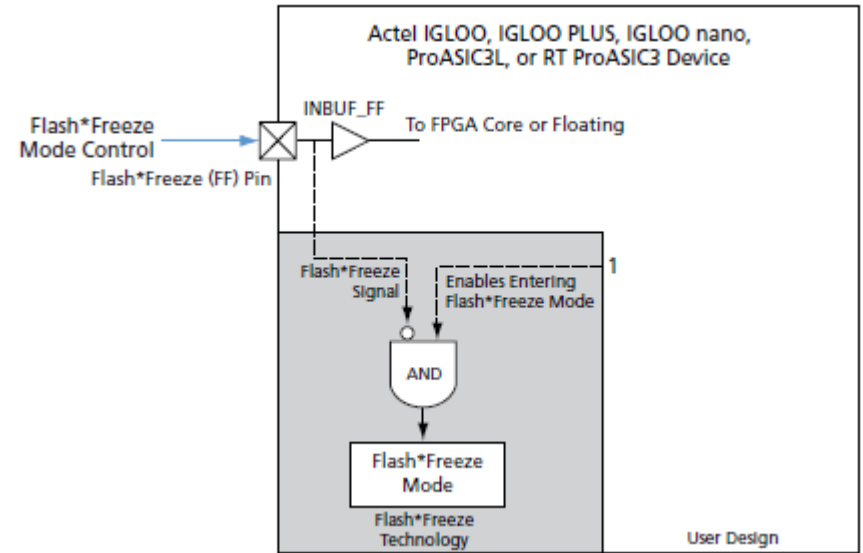
Actel ProASIC3L	A3P250L	A3P600L M1A3P600L	A3P1000L M1A3P1000L	A3PE3000L M1A3PE3000L
System Gates	250 K	600 K	1 M	3 M
VersaTiles (D-FF)	6144	13824	24576	75264
RAM K Bits	36	108	144	504
4608-bit Blocks	8	24	32	112
PLLs	1	1	1	6
FlashROM Bits	1 K	1 K	1 K	1 K
Secure (AES) ISP	Yes	Yes	Yes	Yes
I/O type	Std+/LVDS	Std+/LVDS	Std+/LVDS	Pro
I/O Banks (+ JTAG)	4	4	4	8
Flash*Freeze mode 1.2 V Typ (mW)	0.4	0.7	1	3.3
Static idle mode 1.2V (mW)	0.4	0.7	1	3.3
Sleep mode (uW), Vcci=1.5V	11	11	11	22



Flash*Freezeモード タイプ1

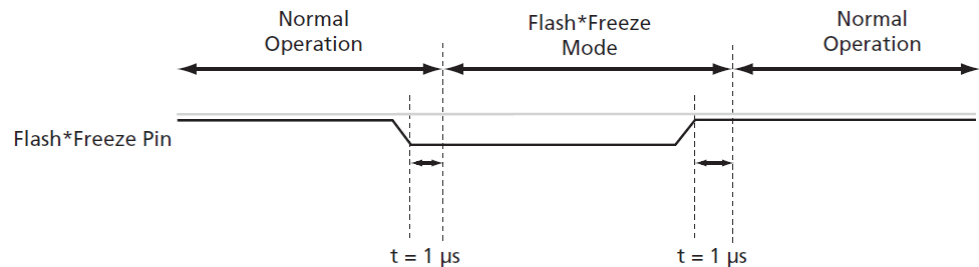
■ 専用Flash*Freezeピンで制御

- LOWでこのモードに入り、Highで抜ける
 - FFピンがアクティブ (LOW) になると、デバイスは1 μ s以内にFlash*Freezeモードに移行
- FFピンは固定したピン位置で、パッケージ・タイプ毎に同一のピン位置
- シングル・エンデッドI/O
 - FFピンのスレシヨルドはVcciとそのI/Oバンク内でサポートされるシングルエンドI/Oスタンダードで決まる
- FFピンはビルトイン・グリッチ・フィルタを内蔵し、これで擬似グリッチ等による偶発的なモード切り替えエラーを防止



■ Flash*Freezeピンを使用しない場合は通常のI/Oとしても構成可能

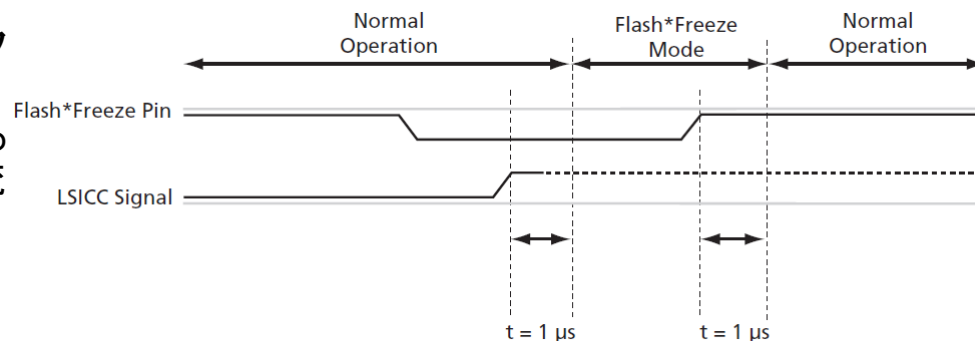
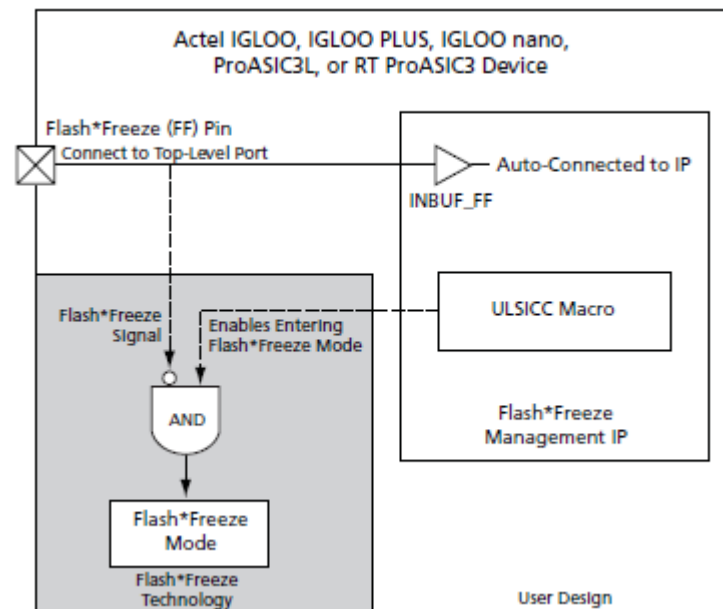
- “INBUF_FF”の挿入



Flash*Freezeモード タイプ2

■ 専用Flash*Freezeピンと内部ロジックとで制御

- Flash*FreezeピンとULSICCマクロの入力信号の両方がアサートされた場合に、このモードに
 - FFピンはロジックLOW, ULSICCはロジックHIGH
 - ULSICCマクロの入力 (LSICC信号) のみをアサートした場合は、通常動作モードのままだが、FlashROMの動作が無効化される
- パワー・ダウン前の重要なアクションが実行可能に
 - ステートマシンを安全なステートに遷移させ、クリティカルなイベントの処理を完了
- ULSICCマクロの入力を内部でロジックHIGHに固定することも可能
 - FlashROMの動作は常時無効化されるが、通常動作時のデバイスの消費電流を削減
 - この場合、FFピンがアクティブ (LOW) になると、デバイスは1 μ s以内にFlash*Freezeモードに移行



Flash*Freezeモードの使い方

Flash*Freezeモードのタイプ	説明	Flash*Freezeピンの状態	ULSICCマクロのインスタシエート	LSICC信号	動作モード
1	Flash*FreezeモードはFFピンのみで制御	デアサート	No	N/A	通常動作
		アサート	No	N/A	Flash*Freezeモード
2	Flash*FreezeモードはFFピンとLSICC信号とで制御	ドント・ケア	Yes	デアサート	通常動作
		デアサート	Yes	ドント・ケア	通常動作
		アサート	Yes	アサート	Flash*Freezeモード

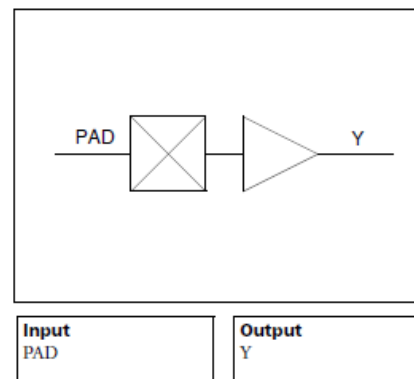
注: Flash*FreezeピンはアクティブLow信号で、LSICC信号はアクティブHigh信号

Flash*Freezeモード

ソフトウェア・インプリメンテーション

■ タイプ1

- INBUF_FFマクロをデザインのトップレベルにインスタンスする



■ タイプ2

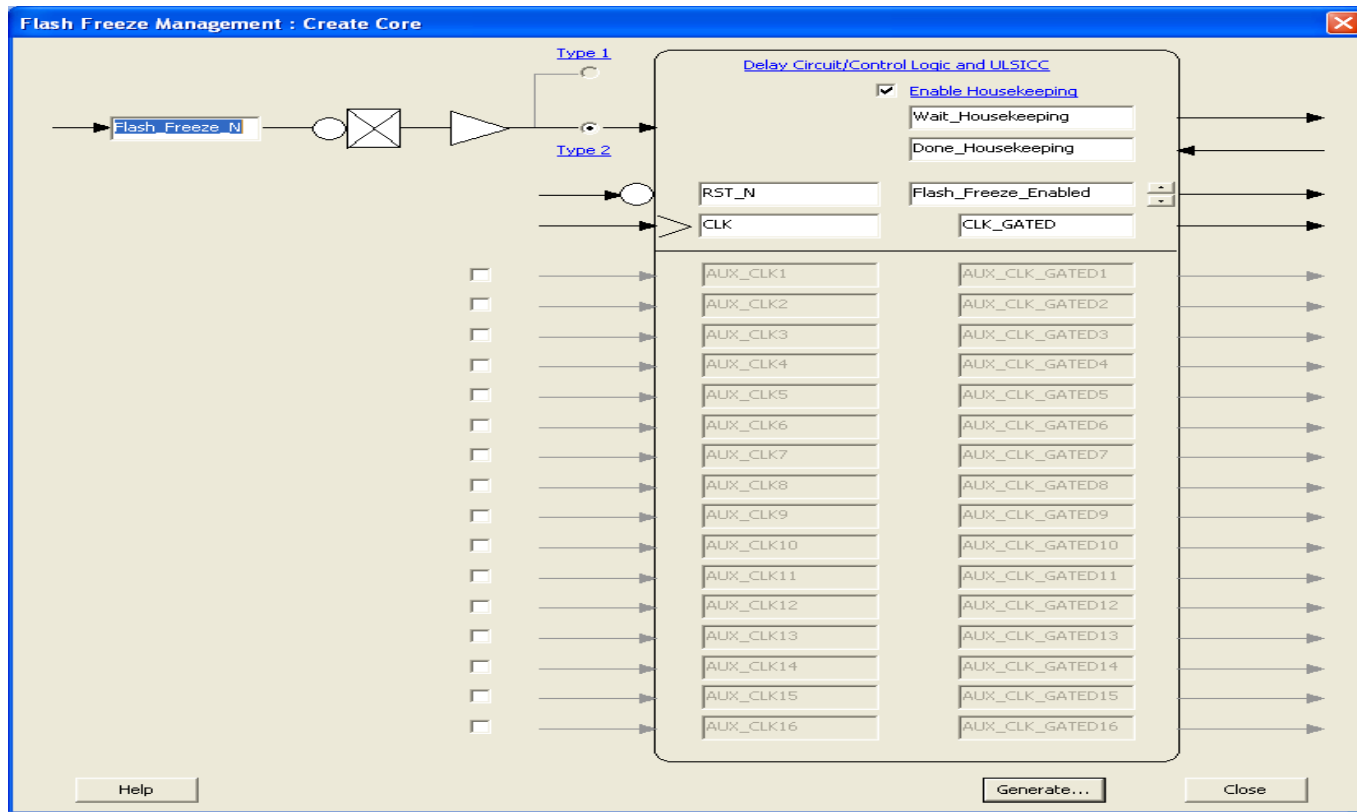
- Libero IDE のコアジェネレータでマネージメントIPを作成し、ブロックをインスタンスする

このIPには、INBUF_FFマクロとオプションのULSICCマクロが ULSICCマクロ
含まれる



Flash*Freezeモード タイプ 2

Flash*Freeze Management



このManagementでは、ユーザーロジックによるFlash*Freezeモードの制御を設定することができる
(たとえば、ペリフェラルを制御するレジスタのアップデートや、プロセス実行中のアドレスポインタ変化などのタイミングで制御可能)

Flash*Freezeモード

I/Oの状態(1) IGLOO/e, ProASIC3L

- I/Oはトリステートになる (デフォルト)
 - 弱いプルアップ/プルダウンを使用している場合、I/Oはそれに応じた状態で保持される
 - FFピンに対しては、弱いプルアップ / プルダウンは指定できない

Table 5 • IGLOO, ProASIC3L, and RT ProASIC3 Flash*Freeze Mode (type 1 and type 2)—I/O Pad State

Buffer Type		I/O Pad Weak Pull-Up/-Down	I/O Pad State in Flash*Freeze Mode
Input/Global		Enabled	Weak pull-up/pull-down*
		Disabled	Tristate*
Output		Enabled	Weak pull-up/pull-down
		Disabled	Tristate
Bidirectional / Tristate Buffer	E = 0 (input/tristate)	Enabled	Weak pull-up/pull-down*
		Disabled	Tristate*
	E = 1 (output)	Enabled	Weak pull-up/pull-down
		Disabled	Tristate

* Internal core logic driven by this input/global buffer will be tied High as long as the device is in Flash*Freeze mode.

Flash*Freezeモード

I/Oの状態(2) IGLOO nano, IGLOO PLUS

- I/Oはトライステートになる (デフォルト)
 - Hold設定をした場合、I/Oは直前の状態を保持する
 - 弱いプルアップ/プルダウンを使用した場合、I/Oはそれに応じた状態で保持される
 - FFピンに対しては、弱いプルアップ / プルダウンは指定できない

Table 6 • IGLOO nano and IGLOO PLUS Flash*Freeze Mode (type 1 and type 2)—I/O Pad State

Buffer Type		Hold State	I/O Pad Weak Pull-Up/-Down	I/O Pad State in Flash*Freeze Mode
Input		Enabled	Enabled	Weak pull-up/pull-down ¹
		Disabled	Enabled	Weak pull-up/pull-down ²
		Enabled	Disabled	Tristate ¹
		Disabled	Disabled	Tristate ²
Output		Enabled	"Don't care"	Weak pull to hold state
		Disabled	Enabled	Weak pull-up/pull-down
		Disabled	Disabled	Tristate
Bidirectional / Tristate Buffer	E = 0 (input/tristate)	Enabled	Enabled	Weak pull-up/pull-down ¹
		Disabled	Enabled	Weak pull-up/pull-down ²
		Enabled	Disabled	Tristate ¹
		Disabled	Disabled	Tristate ²
	E = 1 (output)	Enabled	"Don't care"	Weak pull to hold state ³
		Disabled	Enabled	Weak pull-up/pull-down
		Disabled	Disabled	Tristate

Notes:

1. Internal core logic driven by this input buffer will be set to the value this I/O had when entering Flash*Freeze mode.
2. Internal core logic driven by this input buffer will be tied High as long as the device is in Flash*Freeze mode.
3. For bidirectional buffers: Internal core logic driven by the input portion of the bidirectional buffer will be set to the hold state.

Flash*Freezeモード

設計時の考慮事項

■ Flash*Freezeピン

- そのI/Oバンク内でサポートされる任意のシングル・エンデッドI/Oスタンダードで使用可能
 - 最大立上り/立下り時間を満たさなければならない
 - Flash*Freezeモードが不要なら、通常のI/Oとして使用することも可能
- 使用時には、Flash*Freezeピンをフロートにしてはならない
 - 敏感な非同期信号として扱うこと (SSOに注意)
- すべての未使用I/Oピンは、弱いプルアップ付でトライステートになる (デフォルト)
 - Flash*Freezeモード、通常の動作モードの両方に適用

■ Flash*Freezeモードに入るとき

- 通常の動作モードからの遷移時間は1 μ s
 - すぐにFlash*Freezeモードに入っても安全であることを、ユーザ設計で確実にしておくこと
- 先にFFピンがアサート(タイプ1)、もしくはFFピンとLSICC信号の両方がアサート (タイプ2) されていて、その後からデバイスがパワー・アップする場合、I/Oおよびコアが活性化レベルに到達してから5 μ s以内にFlash*Freezeモードに入る
- エンベデッドPLLを使用している場合、Flash*Freezeモードに入ると自動的にPLLはパワー・ダウンされる
 - PLLの出カクロックはFlash*Freezeモードに入ってから1 μ s以内にトグルを停止する
 - 同時に、I/Oはpage-9で指定された状態に遷移する

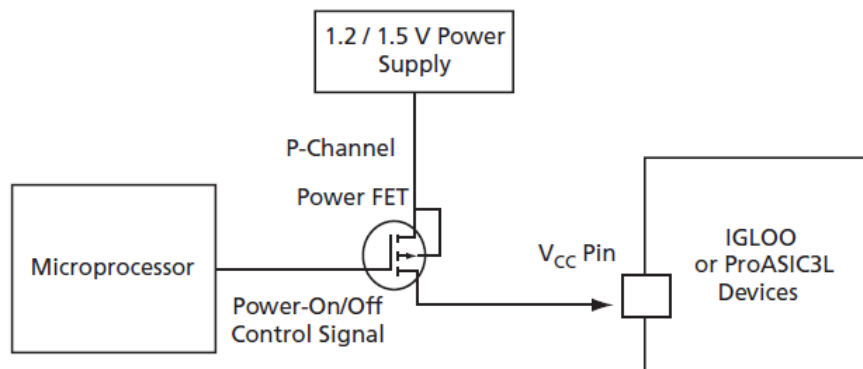
Flash*Freezeモード

設計時の考慮事項 (続き)

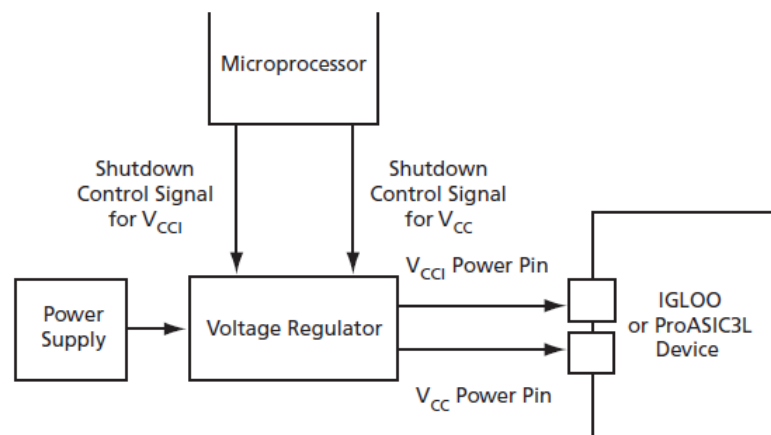
- Flash*Freezeモードの間
 - 入力およびクロック入力はトグルしたままでも電力消費には影響しない
 - 弱いプルアップ/プルダウンを選択していないことを仮定
 - 弱いプルアップ/プルダウンを使用すると、入力が反対方向にドライブされる際に電力が消費される
 - トグルする信号はパッケージ・ピンのキャパシタンスに対しては充放電をおこなうことになる
 - 出力はトライステートになり、入力または双方向バッファの出力側 (内部ロジックにつながる) はロジック '1' にセットされる
 - JTAG動作は実行できない。JTAGコマンドを送る前にFlash*Freezeモードを抜かなければならない
- Flash*Freezeモードから抜けるとき
 - エンベデッドPLLを使用している場合、PLLがLOCK信号を獲得するまでのアキュジション時間が必要になる
 - FFピンをデアサートしてから0.5 μ s以内に、入力バッファは新しい入力値をキャプチャする
 - 次の0.5 μ s以内に、出力バッファもコアからの新しい値で出力をドライブする
 - タイプ2の使用法において、FFピンをデアサートしてFlash*Freezeモードを抜けた後に、LSICC信号もデアサート (ロジック '0') しないとFlashROMが使用できない
 - さらにFFピンをアサートしただけで再びFlash*Freezeモードに入ってしまう

スリープ / シャットダウン・モードの使用例

- マイクロプロセッサとパワーFETを使った電源On / Off制御
 - 低抵抗のパワーFETを使っでのスイッチングを推奨



- マイクロプロセッサと電圧レギュレータのシャットダウン・ピンを使った電源On / Off制御



パワーアップ / ダウン時の挙動

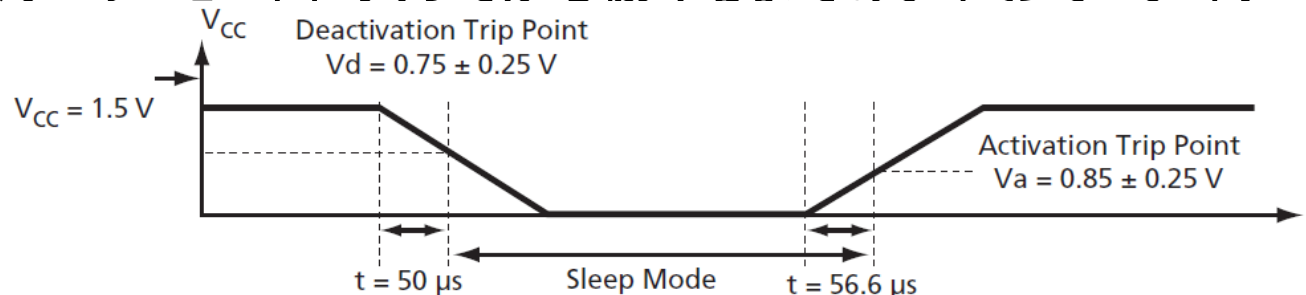
■ パワーアップ時

- 全I/Oはパワーアップ前はトリステート・モード
- V_{cc} と V_{cci} のうち、最後の電源がファンクショナル・レベル (活性化レベル)に到達するまではI/Oはトリステートを維持
- ユーザI/Oの挙動は V_{cc} 、 V_{cci} のシーケンスには依存せず、他の電源 (V_{pump} と V_{jtag}) の状態にも依存しない

■ パワーダウン時

- V_{cc} 、 V_{cci} のうち、最初の電源がブラウンアウト電圧レベル (非活性化レベル) を下回った時点で、I/Oはトリステートになる
- この場合も、I/Oの挙動は電源シーケンスには依存しない

- 下図は V_{cc} 電源のランプレート (この例では0Vから1.5Vまで) が $100\mu s$ の場合の、FPGAがスリープ・モードに入ってから抜けるまでのタイミング・ダイアグラム



スリープ / シャットダウン・モードにおける コンテキスト・セーブとリストア

- スリープ・モード、シャットダウン・モードではコア電源がオフになるとSRAMのコンテンツ、I/Oの状態、レジスタの状態が失われる
- そこで、これらのモードに出入りする際に、例えば低コストの外部シリアルEEPROMを使ってデバイス・コンテンツのセーブとリストアをおこなうことが可能
 - 外部シリアルEEPROMを使ってエンベデッドSRAMを初期化するリファレンス設計についての、次のアプリケーション・ノートと設計ファイルを参考に実現可能
「外部シリアルEEPROMを使ったエンベデッドSRAMの初期化」
 - Vccをパワー・ダウンする前に、FPGAからデータを読み出し外部にストアする
 - FPGAをパワーアップした後は、マイクロコントローラによってFPGAが外部メモリからデータをロードしオリジナルのステートをリストアする

<参考>

ProASIC3パワー・モードの概要

モード	Vcci	Vcc	コア	クロック	動作再開には	トリガー
アクティブ	On	On	On	On	なし	-
スタティック	On	On	On	Off	クロックを与える	外部
スリープ	On	Off	Off	Off	Vccを供給	外部
シャットダウン	Off	Off	Off	Off	VccとVcciを供給	外部

デバイス	A3P030	A3P060	A3P125	A3P250	A3P400	A3P600	A3P1000	A3PE600	A3PE1500	A3PE3000
スタティック電流 (TYP)	2 mA	2 mA	2 mA	3 mA	3 mA	5 mA	8 mA	5 mA	12 mA	25 mA
ロー・スタティック* 電流	1.5 mA	1.5 mA	1.5 mA	2 mA	2 mA	4 mA	7mA	4 mA	11 mA	24 mA
スリープ・モード 電流	30 uA	30 uA	30 uA	50 uA	60 uA	60 uA	70 uA	100 uA	120 uA	140 uA

* ロー・スタティックはULSICCマクロを使用

ULSICCマクロ:

フラッシュROM (FROM) 機能を一時的にディセーブルしてスタティック・パワーを最大25%削減. ロー・スタティック・モードの切り替えは内部信号または外部信号で制御可能

<参考>

Flash*Freezeピンの位置

パッケージ	Flash*Freeze ピン
UC36	E2
CS81/UC81	H2
CS121	J5
CS196	P3
CS201	R4
CS281	W2
CS289	U1
QN48	14
QN68	18
QN132	B12

パッケージ	Flash*Freeze ピン
VQ100	27
VQ128	34
VQ176	47
FG144	L3
FG256	T3
FG324	R5
FG484	W6
FG896	AH4
PQ208	
A3P250L	56
A3P600L	55
A3P1000L	55
A3PE3000L	58