

新闻稿

2006年7月11日

Actel 升级版本的 Libero IDE 为 Fusion 混合信号 FPGA 提供 “智能化” 功能

*增强的时序和功率分析功能提高设计的灵活性、效率和可靠性，
并同时增强性能和降低成本*

Actel 公司宣布推出 Actel Libero™ 集成设计环境 (IDE) 的最新版本 7.2，具备崭新功能，可提升基於 Actel 现场可编程门阵列 (FPGA) 设计的灵活性、效率和性能。Libero IDE 7.2 具有强化的 SmartGen、SmartTime 和 SmartPower 工具，提供全新的知识产权 (IP) 核生成功能，以支持 Actel 的 Fusion™ 可编程系统芯片 (PSC) 产品。Libero IDE 7.2 还同时为 Actel Fusion、ProASIC3 和 RTAX-S 系列产品的设计人员，提供增强的时序和功率分析功能。

Actel 应用解决方案高级市务总监莊正一说：“随着越来越多的系统工程师转向 FPGA，Libero IDE 7.2 能让这些设计人员全面发挥 Fusion 平台的功能，而不论是否使用系统级芯片 (SoC)、混合信号、分立或模拟设计环境。Actel 的承诺是要为客户提供能提升设计人员效率和 FPGA 器件性能的工具，新推出的 IDE 具备崭新的 SmartGen、SmartTime 和 SmartPower 功能，可以满足设计人员的设计需求之余，并同时降低成本和提高整个系统的可靠性。”

智能化工具辅助 FPGA 设计

针对众多常用的 IP 功能，SmartGen 工具会为用户带来设计自动化特性，让设计人员为以 Fusion 为基础的设计导入现有的 IP 核及创制新的 IP 核。新功能包括采样序列生成器、采样序列生成器配置电路和图形化锁相环 (PLL) 配置器。此外，监控模块变化和相互关联的状态管理功能现可将所获得的信息直接传递给 Libero，让设计人员只需点击一下鼠标便可更新所有相关的模块。现在，SmartGen 更支持直接更新用以配置模拟系统构件的非挥发性内存，因此能减少或消除冗长的综合迭代过程。

Actel 的 SmartTime 时序分析工具提供基于业界标准的静态时序分析功能，包括 Synopsys 公司的设计约束 SDC，以及新的图形化约束界面，因此使到 ASIC 向混合信号 FPGA 的过渡更加容易。另一项新增功能是时钟源滞后分析，容许对具抖动的时钟定义约束条件，协助设计人员分析 FPGA 在其操作环境中的时序。SmartTime 也能对内部和外部生成的时钟进行异步信号的恢复和移除时序的正确性检查。

Actel SmartPower 功耗分析工具的增强功能让用户可进行详细的功耗分析，因而有助于节省功耗、降低成本和提高设计的可靠性。SmartPower 现在能分别生成网络、系统门、I/O、RAM、FIFO 以及时钟电路的功耗信息，又或根据部件类型逐个模块生成功耗信息。该工具可因应所有已定义的电压进行电力分配检查和功耗比较。此外，SmartPower 还可根据启动率估计每个负载的定时和输出功率，使设计人员能更精确地计算出系统功耗。

供货

Actel Libero IDE 7.2 Platinum (白金) 版本可运行于 Windows 和 Unix 平台；升级的 Libero Gold (金) 版本则用于 Windows 平台。所有版本均提供一年期可更新的使用权证。要了解有关产品的价格详情，请与 Actel 联系。

关于 Actel

Actel Corporation 是单芯片FPGA解决方案的领导性厂商。该公司于 1985 年成立，全球雇员超过 550 人。Actel 于纽约纳斯达克交易所 (NASDAQ) 上市，代号 ACTL。Actel 在上海、香港、台北、东京和汉城设有办事处，并在中国大陆和亚洲主要城市建立了完善的分销商网络。查询更多信息，请访问 Actel 的网站：www.actel.com。

- 完 -

发稿：Actel 公司
代发：隽科公关有限公司

媒体垂询，请联络：

Actel

夏明威

电话：(852) 2185 6460

传真：(852) 2185 6488

电邮：anthony.hsiah@actel.com

隽科公关

叶淑礼/李家慧

电话：(021) 5111 9192 / (852) 2525 8186

传真：(852) 2525 1893

电邮：alisa@techworksasia.com /
karrie@techworksasia.com

Actel的名字和标志是Actel公司的商标，所有其它商标及服务标志属有关拥有者所有。