



新闻稿

2004年2月18日

## Actel Libero IDE 升级版为 ProASIC Plus FPGA 加速时序收敛和提升性能

*Libero v5.2 IDE 加入 ChainBuilder 软件以简化系统内编程操作；  
Actel 的 Designer Software 增添 Linux 支持功能*

Actel 公司已提升其 Libero™ 集成设计环境 (IDE)，让用户使用该公司成功以 Flash 为基础 ProASIC Plus 现场可编程门阵列 (FPGA) 时，享有更快的时序收敛特性。通过时序器引擎 Timer 和时序驱动布局布线之间更紧密的集成，Libero v5.2 IDE 提供的按钮流程结果往往可以达到甚或超越客户的要求，从而减少实现时序收敛所需的反复设计次数。

此外，Actel 的 Libero v5.2 IDE 连同强化了 Magma PALACE™ v1.1 物理综合软件，能令使用 ProASIC Plus FPGA 的设计人员获得平均 20% 的性能提升。Libero IDE 的其它新特性包括增添了 Actel 的 ChainBuilder 软件，可让包含在菊花链路中的 ProASIC Plus FPGA 进行编程或测试，以及在 Libero IDE 中支持用于 Actel Designer 物理设计工具套件的 Linux Red Hat 7.1 平台。

Actel 工具市场总监 Saloni Howard-Sarin 称：“鉴于 FPGA 设计的规模和复杂性不断增长，用户通常在达致时序收敛方面面对艰巨的挑战。使用 Actel 的 Libero v5.2 IDE 和 Magma 的 PALACE v1.1 物理综合软件，设计人员往往能快速简便地实现时序收敛，而无需扭曲和反复作业，因而能减少设计成本和缩短设计周期。”

Howard-Sarin 续称：“延续我们为客户提供业界最佳设计工具的承诺，Actel 很高兴能在 Libero 环境内提供全新的 ChainBuilder 工具，协助设计人员针对原本非常麻烦和容易出错的人手检定程序，实施自动化的简化操作。而且，通过 Linux RedHat 7.1 平台的 Actel Designer 软件，我们预期全球将有更多设计团体转用 Actel 卓越的 ProASIC Plus FPGA 器件。”

## Actel Libero IDE 的升级特性

时序引擎 Timer 和时序驱动布局布线之间更紧密的集成，能针对用户的约束条件提供更高优先权，并且增强设计人员对布局布线的控制，有利于聚集各项时序要求。此外，Actel 布线算法的最新改进也有助于提升 ProASIC Plus 器件的性能。而 Magma 的 PALACE 物理综合软件已进行升级，可额外提升 ProASIC Plus 器件的性能达平均 10%。与 Actel 的 Libero IDE 相结合，应用容易的 PALACE 工具可接受经翻译的网表，并可根据约束条件、设计细节和互连模型作出最佳的布局决策。

Magma Design Automation 市务总监 Behrooz Zahiri 说：“Actel 的 ProASIC Plus FPGA 是尖端可编程逻辑设计的代表，包括在功能和性能两方面。我们非常欣喜能为双方的共同客户提供物理综合工具，以达致其复杂 FPGA 设计所需的性能和质量要求。至今，Magma 和 Actel 已成功促使设计人员在 Actel 的 ProASIC Plus FPGA 中使用 PALACE 时，获得累计 25 至 30% 的性能提升。”

过去，开发人员必须在链路内以人手检验器件及其指令。现今，Libero 和 Designer 工具套件包含 Actel 的 ChainBuilder 软件，允许用户从图形用户接口创建链接 STAPL 档案。之后，通过 Actel 的 FlashPro 等编程器便可利用此档案对 FPGA 菊花链、定制集成电路(IC)、微控制器及/或微处理器进行编程或测试。此外，ChainBuilder 能将特定的 Actel FPGA 从其它 FPGA、Actel 和非 Actel 器件隔离出来，并通过附着在 JTAG 链条上的通用头进行独立或并行编程。

在开放资源日益增多的环境中，许多公司都采用 Linux 操作系统。为了扩展其工具套件的平台支持，Actel 现支持 Linux Red Hat 7.1 平台上的 Designer 软件。Actel 并计划在未来一年陆续为其它 Linux 平台提供支持。

为了提升其易用性和减少开发时间，特别是对于那些不太熟悉 Libero 软件的设计人员而言，Actel 现已增添全新的项目经理图形交互流程窗口 (Project Manager Graphical Interactive Flow Window)，使得开发流程更加直观，并在整个设计过程中提供逐步的操作指引。

## 关于 Libero 集成设计环境

Actel 的 Libero v5.2 IDE 集成了来自 EDA 夥伴最卓越先进的设计工具，包括 Mentor Graphics、SynaptiCAD、Synplicity 和 Magma 等各大 EDA 公司，以及由 Actel 定制开发的工具，集成至单一 FPGA 开发套装中。

Actel 不仅为客户提供满足其 EDA 工具需求的一站式服务，而且还提供功能强大的设计管理软件，能追踪设计文档，并完美地处理由于采用不同供应商的软件工具所产生的互用性问题。Libero 工具套装支持混合模式设计输入，让设计人员可选择在设计中将高级 VHDL 或 Verilog HDL 语言模块与原理图模块混合起来。

## 供货

Actel Libero v5.2 IDE 由 2 月中旬起提供四种版本：白金物理综合（Platinum PS）、白金（Platinum）、金（Gold）和银（Silver）。Libero 银版和 Libero 白金物理综合评估版可从 Actel 网站免费下载，供合格的设计人员分别使用一年和 45 天。欲了解更多信息，请与 Actel 联系。

## 关于 Actel

Actel Corporation 是创新的可编程逻辑方案供应商，提供多种基于反熔丝及 Flash 技术的现场可编程门阵列 (FPGA)、高性能知识产权核心、软件开发工具以及设计服务，针对高速通信、专用集成电路 (ASIC) 替代品和航天军品市场。Actel 于 1985 年成立，全球雇员约 500 人。该公司于纽约纳斯达克交易所 (NASDAQ) 上市，代号 ACTL。Actel 于香港、东京和汉城设有办事处，并在中国大陆和亚洲主要城市建立了完善的分销商网络。查询更多信息，请访问 Actel 的网站：[www.actel.com](http://www.actel.com)。

— 完 —

发稿：Actel Corporation

代发：隽科公关有限公司

媒体垂询，请联络：

Actel Corporation

夏明威

电话：(852) 2273 5712

传真：(852) 2273 5999

电邮：[anthony.hsiah@actel.com](mailto:anthony.hsiah@actel.com)

隽科公关

叶淑礼/李家慧

电话：(852) 2168 0872 / 2168 0870

传真：(852) 2168 0764

电邮：[alisa@techworksasia.com](mailto:alisa@techworksasia.com) /  
[karrie@techworksasia.com](mailto:karrie@techworksasia.com)

*Actel 的名字和标志是 Actel 公司的商标，所有其它商标及服务标志属有关拥有者所有。*